

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-310424

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

H01L 21/027

G02F 1/136

G03F 7/20

G03F 7/26

H01L 21/68

(21)Application number : 05-092754

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.04.1993

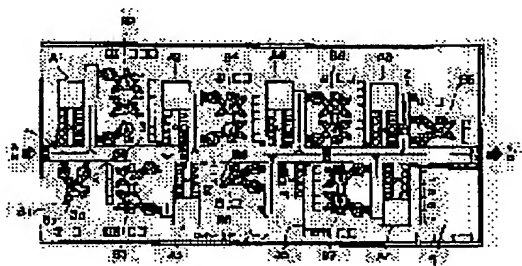
(72)Inventor : SHIMIZU MASATOSHI

(54) MANUFACTURE OF SEMICONDUCTOR AND SYSTEM THEREFOR

(57)Abstract:

PURPOSE: To shorten a lead time, save on the space of a clean room and improve a yield, and further, to make the extensions of processes easy.

CONSTITUTION: A semiconductor manufacturing line is so constructed that the extensions and replacements of lithographic processes A1-A7 and thin film processes B1-B8 are performed to a carriage path 1. A plurality of semiconductor wafers are stored in a cassette 3, and through the carriage path 1 the wafers are carried from one of the lithographic processes A1-A7 and the thin film processes B1-B8 to another of them. In the lithographic processes A1-A7, such processings of respective processes associated with a lithography as a resist coating, an exposure processing and a development are performed. In the thin film processes, such processings of respective processes associated with the formation of a thin film as an etching processing, a resist peeling, an inspection, a cleaning, the formation of a thin film and another inspection are performed. Further, the equipment management and the production management, etc., of the manufacturing equipments for manufacturing thin film transistors to be manufactured through this semiconductor manufacturing line are performed in a control room 4.



LEGAL STATUS

[Date of request for examination]

19.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3340181

[Date of registration] 16.08.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-310424

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027				
G 0 2 F 1/136	5 0 0	9119-2K		
G 0 3 F 7/20	5 2 1	7316-2H		
7/26		7124-2H		
		7352-4M		
			H 0 1 L 21/ 30	3 6 1 Z
審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く				

(21)出願番号 特願平5-92754

(22)出願日 平成5年(1993)4月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 清水 政俊

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

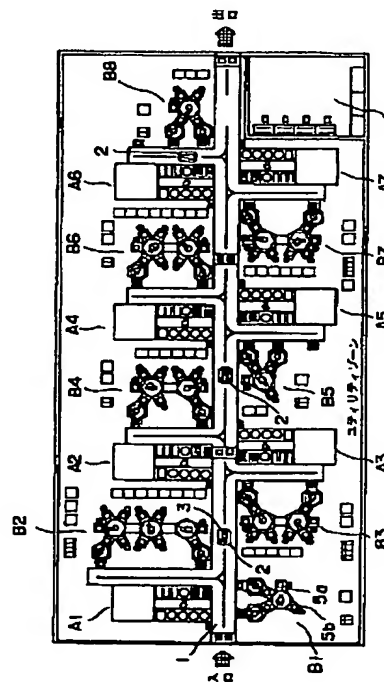
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体の製造方法及びそのシステム

(57)【要約】

【目的】本発明は、リードタイムを短縮するとともにクリーンルームの省スペース化、歩留まりの向上を図り、さらにプロセスの拡張を容易にできる。

【構成】搬送路(1)に対してリソグラフィ工程(A1～A7)及び薄膜工程(B1～B8)が増設、交換されて半導体製造ラインが構築される。複数の半導体ウエハはカセット(3)に収納されて搬送路(1)によりリソグラフィ工程(A1～A7)、薄膜工程(B1～B8)の間に搬送され、リソグラフィ工程(A1～A7)ではレジスト塗布、露光処理、現像等のリソグラフィ関連の各プロセスの処理が行われ、薄膜工程(B1～B8)ではエッチング処理、レジスト剥離、検査、洗浄、成膜、検査等の薄膜形成に関連する各プロセスの処理が行われる。そして、半導体製造ラインにより製造される薄膜トランジスタ製造装置の装置管理、生産管理等がコントロール室(4)において行われる。



【特許請求の範囲】

【請求項1】 半導体製造におけるレジスト塗布等の各プロセスのうち互いに処理の関連する各プロセスを連結して複数のユニット工程を形成し、これらユニット工程を前記半導体製造の全プロセスに応じたユニット数だけ連結することを特徴とする半導体の製造方法。

【請求項2】 半導体製造におけるレジスト塗布等のリソグラフィ関連の各プロセスを連結したリソグラフィ工程、及び半導体デバイス製造におけるエッチング等の薄膜形成に関連する各プロセスを連結した薄膜工程を形成し、これらリソグラフィ工程及び薄膜工程を前記半導体製造の全プロセスに応じて連結することを特徴とする半導体の製造方法。

【請求項3】 リソグラフィ工程は、被処理体に対するレジスト処理、露光処理、現像の一連の各プロセスをユニット化したことを特徴とする請求項2記載の半導体の製造方法。

【請求項4】 薄膜工程は、被処理体に対するエッチング処理、レジスト剥離処理、洗浄、成膜の一連の各プロセスをユニット化したことを特徴とする請求項2記載の半導体の製造方法。

【請求項5】 被処理体を搬送する搬送路と、前記被処理体に対するレジスト塗布等のリソグラフィ関連の各プロセスを連結してユニット化し、かつ半導体製造プロセスに従って前記搬送路に沿って増設等するリソグラフィ手段と、前記被処理体に対するエッチング等の薄膜形成に関連する各プロセスを連結してユニット化し、かつ前記半導体製造プロセスに従って前記搬送路に沿って増設等する薄膜手段と、これらリソグラフィ手段及び薄膜手段を連結して構築される半導体製造ラインにより製造される半導体デバイスの監視等を行う監視制御手段と、を具備したことを特徴とする半導体の製造システム。

【請求項6】 リソグラフィ手段は、被処理体に対するレジスト処理、露光処理、現像の一連の各プロセスをユニット化したことを特徴とする請求項5記載の半導体の製造システム。

【請求項7】 薄膜手段は、被処理体に対するエッチング処理、レジスト剥離処理、洗浄、成膜の一連の各プロセスをユニット化したことを特徴とする請求項5記載の半導体の製造システム。

【請求項8】 複数の半導体基板をカセットに収納して搬送する搬送路と、この搬送路に搬送される前記半導体基板に対してレジスト塗布、露光処理、現像等のリソグラフィ関連の各プロセスを連結してユニット化し、かつ半導体製造プロセスに従って前記搬送路に沿って増設等されるリソグラフィ手段と、前記搬送路に搬送される前記半導体基板に対するエッチ

ング処理、レジスト剥離、検査、洗浄、成膜、検査等の薄膜形成に関連する一連の各プロセスを連結してユニット化し、かつ前記半導体製造プロセスに従って前記搬送路に沿って増設等される薄膜手段と、

これらリソグラフィ手段及び薄膜手段を連結して構築される半導体製造ラインにより製造される薄膜トランジスタ製造装置の装置管理、生産管理等を行う監視制御手段と、

を具備したことを特徴とする半導体の製造システム。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ液晶基板（TFT液晶基板）や半導体メモリ等の半導体デバイスを製造する半導体の製造方法及びそのシステムに関する。

【0002】

【従来の技術】 薄膜トランジスタ液晶基板等の半導体デバイスを製造する工程（TFTアレイ工程、半導体ウエハ処理工程）には、図4に示すように洗浄、成膜、検査、リソグラフィ、エッチング、レジスト剥離、検査の各プロセスがあり、これらプロセスを半導体製造プロセスに従って繰り返すことによりTFT液晶基板が製造される。

【0003】 実際の半導体製造工程では、各プロセスがそれぞれスタンドアロン（stand alone）の装置により形成されており、これら装置が所定の間隔をおいて配置されている。被処理体としての半導体ウエハはカセットに収納され、このカセットが搬送ロボットや作業者によって半導体製造プロセスに従って各スタンドアロンの装置間に搬送される。

【0004】 このように各スタンドアロンの装置により構築した半導体製造工程では、カセット単位で半導体ウエハを搬送して処理するために、リードタイムが長くなり、かつ各スタンドアロンの装置を配置するためのクリーンルームのスペースを広くしなければならない。

【0005】 又、ロットの滞留や作業員による搬送のために、薄膜表面の変化やパーティクルの付着等によって歩留まりが低下する。TFTアレイ工程の歩留まり悪化の不良原因は、パーティクルに起因するものが最も多い。パーティクルは、内部で発生する反応生成物等と外部から侵入するものとに大別される。このうち、内部で発生するパーティクルは、CVDやスパッタ装置で多く発生し、この影響を極力避けるために、セルフクリーニングの方法やプロセス上の工夫が必要である。

【0006】 現在、半導体では、この問題の方がクローズアップされているが、液晶では外部からのパーティクルの方が問題になっている。これを防ぐために、環境の洗浄度を上げたり、付着したパーティクルや汚染を除去するのに洗浄装置が使用されている。

50 【0007】 しかし、たとえ半導体製造並の清浄環境が

確保されたり、高価な洗浄装置を導入しても、個々の装置や人の管理が不十分だと期待した結果が得られない。日常、クリーネスに関しては次のような問題に確実に対応しておくのが良いが、行き届かないのが現状である。

【0008】クリーネスに関する管理・監督者の留意事項

(a) マネジメントの問題（オペレータへの教育／躾／適切な指示、清浄度管理）

(b) 設備固有の問題（ゴミの発生／滞留／渦発生し易い装置、ダクト吸引力）

(c) 環境の問題（部屋間の圧力差、部屋内気流の乱れ、コンタミ、定期調査）

パーティクルの種類としては人体ゴミが圧倒的に多い。部屋内で人間が装置のそばを歩行したり、作業をする、装置の近傍では確実にパーティクルが増加する。従って、液晶基板のサイズが大きくなると、ゴミの付着する感度が高くなり、人間を確実に遠ざける必要がある。これを現場の創意工夫で解決することは並大抵の事ではない。

【0009】一方、生産効率向上の点からマルチチャンバを応用した枚葉式の全自動生産システムが提案されている（『コストミニマムへ向けた自動化技術』次世代メモリのサバイバル戦略、第3回リアライズ社ブレイクスルーセミナー：1993年1月28日）。

【0010】しかしながら、枚葉式の全自動生産システムでは、各プロセス装置の信頼性が低いために、システムの稼働率が低下し、全体として生産効率の向上に寄与していない。

【0011】

【発明が解決しようとする課題】以上のように各スタンダアロンの装置により構築した半導体製造工程では、リードタイムが長く、かつ広いスペースのクリーンルームが必要となる。又、ロットの滞留や作業員による搬送のために、薄膜表面の変化やパーティクルの付着等によって歩留まりが低下する。

【0012】又、枚葉式の全自動生産システムでは、システムの稼働率が低下して生産効率の向上に寄与しない。そこで本発明は、リードタイムを短縮するとともにクリーンルームの省スペース化、歩留まりの向上を図り、さらにプロセスの拡張を容易にできる半導体の製造方法及びそのシステムを提供することを目的とする。

【0013】

【課題を解決するための手段】請求項1によれば、半導体製造におけるレジスト塗布等の各プロセスのうち互いに処理の関連する各プロセスを連結して複数のユニット工程を形成し、これらユニット工程を半導体製造の全プロセスに応じたユニット数だけ連結する半導体の製造方法である。

【0014】請求項2によれば、半導体製造におけるレジスト塗布等のリソグラフィ関連の各プロセスを連結し

たりリソグラフィ工程、及び半導体デバイス製造におけるエッチング等の薄膜形成に関連する各プロセスを連結した薄膜工程を形成し、これらリソグラフィ工程及び薄膜工程を半導体製造の全プロセスに応じて連結する半導体の製造方法である。

【0015】請求項3によれば、上記リソグラフィ工程は、被処理体に対するレジスト処理、露光処理、現像の一連の各プロセスをユニット化したものである。請求項4によれば、上記薄膜工程は、被処理体に対するエッチング処理、レジスト剥離処理、洗浄、成膜の一連の各プロセスをユニット化したものである。

【0016】請求項5によれば、被処理体を搬送する搬送路と、被処理体に対するレジスト塗布等のリソグラフィ関連の各プロセスを連結してユニット化し、かつ半導体製造プロセスに従って搬送路に沿って増設、交換等するリソグラフィ手段と、被処理体に対するエッチング等の薄膜形成に関連する各プロセスを連結してユニット化し、かつ半導体製造プロセスに従って搬送路に沿って増設、交換等する薄膜手段と、これらリソグラフィ手段及び薄膜手段を連結して構築される半導体製造ラインにより製造される半導体製品の監視等を行う監視制御手段とを備えた半導体の製造システムである。

【0017】請求項6によれば、上記リソグラフィ手段は、被処理体に対するレジスト処理、露光処理、現像の一連の各プロセスをユニット化したものである。請求項7によれば、上記薄膜手段は、被処理体に対するエッチング処理、レジスト剥離処理、洗浄、成膜の一連の各プロセスをユニット化したものである。

【0018】請求項8によれば、複数の半導体基板をカセットに収納して搬送する搬送路と、この搬送路に搬送される半導体基板に対してレジスト塗布、露光処理、現像等のリソグラフィ関連の各プロセスを連結してユニット化し、かつ半導体製造プロセスに従って搬送路に沿って増設、交換等されるリソグラフィ手段と、搬送路に搬送される半導体基板に対するエッチング処理、レジスト剥離、検査、洗浄、成膜、検査等の薄膜形成に関連する一連の各プロセスを連結してユニット化し、かつ半導体製造プロセスに従って搬送路に沿って増設、交換等される薄膜手段と、これらリソグラフィ手段及び薄膜手段を連結して構築される半導体製造ラインにより製造される薄膜トランジスタ製造装置の装置管理、生産管理等を行う監視制御手段とを備えた半導体の製造システムである。

【0019】

【作用】請求項1によれば、レジスト塗布等の各プロセスのうち処理の関連する各プロセスを連結して形成した複数のユニット工程を、半導体製造の全プロセスに応じたユニット数だけ連結して半導体を製造する。

【0020】請求項2によれば、ユニット工程として、レジスト塗布等のリソグラフィ関連の各プロセスを連結

したリソグラフィ工程、及びエッチング等の薄膜形成に関連する各プロセスを連結した薄膜工程を形成し、これらリソグラフィ工程及び薄膜工程を半導体製造の全プロセスに応じて連結して半導体を製造する。

【0021】請求項3によれば、リソグラフィ工程において被処理体に対するレジスト処理、露光処理、現像を1サイクルとして処理している。請求項4によれば、薄膜工程において被処理体に対するエッチング処理、レジスト剥離処理、洗浄、成膜を1サイクルとして処理している。

【0022】請求項5によれば、搬送路に対し、半導体製造プロセスに従ってリソグラフィ手段及び薄膜手段が増設、交換されて半導体製造ラインが構築される。被処理体は搬送路によりリソグラフィ手段、薄膜手段の間に搬送され、リソグラフィ手段ではレジスト塗布等のリソグラフィ関連の各プロセスの処理が行われ、薄膜手段ではエッチング等の薄膜形成に関連する各プロセスの処理が行われる。そして、半導体製造ラインにより製造される半導体製品の監視等が監視制御手段により行われる。

【0023】請求項6によれば、リソグラフィ手段において被処理体に対するレジスト処理、露光処理、現像の一連の処理が行われる。請求項7によれば、薄膜手段において被処理体に対するエッチング処理、レジスト剥離処理、洗浄、成膜の一連の処理が行われる。

【0024】請求項8によれば、搬送路に対し、半導体製造プロセスに従ってリソグラフィ手段及び薄膜手段が増設、交換されて半導体製造ラインが構築される。複数の半導体基板はカセットに収納されて搬送路によりリソグラフィ手段、薄膜手段の間に搬送され、リソグラフィ手段ではレジスト塗布、露光処理、現像等のリソグラフィ関連の各プロセスの処理が行われ、薄膜手段ではエッチング処理、レジスト剥離、検査、洗浄、成膜、検査等の薄膜形成に関連する各プロセスの処理が行われる。そして、半導体製造ラインにより製造される薄膜トランジスタ製造装置の装置管理、生産管理等が監視制御手段により行われる。

【0025】

【実施例】以下、本発明の一実施例について図面を参照して説明する。図1はTFT液晶基板のアレイ工程の製造プロセスに適用した半導体製造システムの構成図である。

【0026】搬送路1には、自動搬送ロボット2が走行するものとなっている。この自動搬送ロボット2は、被処理体である半導体ウエハを複数収納するカセット3を載せて搬送（バッチ搬送）するものとなっている。なお、このバッチ搬送は、フレキシビリティと信頼性の両面を考慮して行われている。又、この自動搬送ロボット2は、コントロール室4からの無線による指令に従って走行速度、走行方向等の走行制御を行なう機能を有している。

【0027】又、搬送路1には、複数のリソグラフィ工程A1～A7及び複数の薄膜工程B1～B8が配置されている。つまり、TFT液晶基板のアレイ工程の製造プロセスは、(1) 洗浄、(2) 成膜、(3) リソグラフィ、(4) エッチング、(5) レジスト剥離、(6) 検査（評価）の一連のプロセスを1サイクルとして繰り返し処理される。そこで、これら一連のプロセスをリソグラフィ工程A1～A7及び薄膜工程B1～B8に2分してそれぞれをクラスタ化し、自動搬送ロボット2により連結した構成となっている。

【0028】各リソグラフィ工程A1～A7は、レジスト処理、露光、現像等の一連の各プロセスを1サイクルとしてユニット化したもので、マルチチャンバを使ってクラスタ化し、小形化されている。

【0029】各薄膜工程B1～B8は、エッチング処理、レジスト剥離処理、洗浄、成膜等の一連の各プロセスを1サイクルとしてユニット化したもので、成膜やエッチングを中心にウェット処理をドライ化し、マルチチャンバで連結した枚葉の真空一貫ラインを構成している。例えば、薄膜工程B1において成膜5a、洗浄5bが設けられている。

【0030】以上のように成膜やエッチングを中心にウェット処理をドライ化し、検査を自動化し、マルチチャンバを使って連結し、さらにリソグラフィ工程をクラスタ化し、これらを自動搬送ロボット2により連結したので、TFT液晶基板のアレイ工程の製造プロセスの1サイクル（洗浄、成膜、リソグラフィ、エッチング、レジスト剥離、検査）が標準モジュール化される。

【0031】従って、例えばリソグラフィ工程A1及び薄膜工程B1を1サイクルの標準モジュールとして製造プロセスに従って増設、連結することにより、TFT液晶基板のアレイ工程の製造プロセスの全体が構築されるものとなっている。

【0032】ここで、マルチチャンバに取り付くプロセスチャンバは、標準化されており、互換性を持っている。又、真空一貫化ラインとリソグラフィ工程内では、枚葉式で処理され、ロード／アンロード部にはカセット・ステーションを設けてパッファの機能を持たせている。

【0033】各リソグラフィ工程A1～A7と各薄膜工程B1～B8との間においてカセット3は、パッファとしての役目を果たす。すなわち、このパッファの方式には、落下方式とブル方式とがある。

【0034】落下方式は、図2に示すように例えば薄膜工程B1からリソグラフィ工程A1に移るラインにおいて、薄膜工程B1が停止すると、薄膜工程B1で処理されたc-d間の在庫分でリソグラフィ工程A1が稼働し続ける。逆にリソグラフィ工程A1が停止すると、b-c間に在庫が溜まり、薄膜工程B1が稼働し続けることができる。

10

20

30

40

50

【0035】プール方式は、図3に示すように薄膜工程B1が停止すると、c上の在庫分でリソグラフィ工程A1が稼働し続ける。リソグラフィ工程A1が停止すると、d上に在庫が溜まる時間において薄膜工程B1が稼働し続けることができる。従って、各リソグラフィ工程A1～A7及び各薄膜工程B1～B8の復帰は、在庫の処理時間内に修まるように設定される。

【0036】コントロール室4は、自動搬送ロボット2の走行制御を行なう他に、各リソグラフィ工程A1～A7及び各薄膜工程B1～B8により構築された製造プロセスにより製造される薄膜トランジスタ液晶基板の品質管理、生産管理等を行ない、かつ各プロセスでの処理時間、故障頻度、故障時の復元時間、中間在庫等を管理する機能を有している。

【0037】次に上記の如く構成された装置の作用について説明する。TFT液晶基板のアレイ工程の製造プロセスの1サイクルに従って、各リソグラフィ工程A1～A7及び各薄膜工程B1～B8が増設、連結され、これにより上記製造プロセスが構築される。

【0038】複数の半導体ウエハがカセットに収納され、このカセットごと自動搬送ロボット2に載せられる。この自動搬送ロボット2は、カセット3を載せた状態で、コントロール室4からの無線による指令に従って搬送路1を走行し、先ず薄膜工程B1に到達する。

【0039】この薄膜工程B1においてカセット3は、ロード／アンロード部によりカセット・ステーションにロードされる。この薄膜工程B1で、各半導体ウエハが枚葉式で処理され、洗浄、成膜の各プロセスの処理が真空一貫化ラインで行なわれる。これらプロセス処理の行なわれた各半導体ウエハは、再びカセット3に収納され、ロード／アンロード部により自動搬送ロボット2にアンロードされる。

【0040】この自動搬送ロボット2は、再びカセット3を載せた状態で、コントロール室4からの無線による指令に従って搬送路1を走行し、次にリソグラフィ工程A1に到達する。

【0041】このリソグラフィ工程A1においてカセット3は、ロード／アンロード部によりカセット・ステーションにロードされる。このリソグラフィ工程A1で、各半導体ウエハは枚葉式で処理され、レジスト処理、露光、現像の一連の各プロセスが処理される。これらプロセス処理の行なわれた各半導体ウエハは、再びカセット3に収納され、ロード／アンロード部により自動搬送ロボット2にアンロードされる。

【0042】この自動搬送ロボット2は、カセット3を載せた状態で、コントロール室4からの無線による指令に従って搬送路1を走行し、次に薄膜工程B2に到達する。この薄膜工程B3において上記同様にカセット3はカセット・ステーションにロードされる。この薄膜工程B3で、各半導体ウエハは枚葉式で処理され、エッチ

グ、レジスト剥離、検査の各プロセスの処理が真空一貫化ラインで行なわれる。これらプロセス処理の行なわれた各半導体ウエハは、再びカセット3に収納され、上記同様に自動搬送ロボット2にアンロードされる。

【0043】以上の各プロセスにより半導体ウエハに対し、TFT液晶基板のアレイ工程の製造プロセスにおける洗浄、成膜、リソグラフィ、エッチング、レジスト剥離、検査の一連のプロセスの1サイクルが終了する。

【0044】ここで、半導体を収納するカセット3を、例えば薄膜工程B1からリソグラフィ工程A1に搬送する場合、薄膜工程B1が停止すると、図2に示すように薄膜工程B1で処理されたc～d間の在庫分でリソグラフィ工程A1が稼働し続ける。又、リソグラフィ工程A1が停止すると、b～c間に在庫が溜まり、薄膜工程B1が稼働し続ける。

【0045】なお、薄膜工程B1からリソグラフィ工程A1に搬送される場合は、上記の如く図3に示すプール方式によるバッファ機能も使用される。以上のように製造プロセスの1サイクルが終了すると、これ以降、半導体ウエハはカセット3に複数収納された状態で、薄膜工程B2、リソグラフィ工程A2、…、に搬送されて製造プロセスの各サイクルが繰り返し行なわれる。

【0046】そうして、全リソグラフィ工程A1～A7及び薄膜工程B1～B8での各プロセス処理が終了すると、薄膜トランジスタ液晶基板が製造される。一方、コントロール室4では、薄膜トランジスタ製造装置の装置管理、生産管理等を行ない、かつ各プロセスでの処理時間、故障頻度、故障時の復元時間、中間在庫等を管理する。

【0047】このように上記一実施例においては、薄膜トランジスタ液晶基板の製造におけるレジスト塗布等のリソグラフィ関連の各プロセスを連結したリソグラフィ工程A1～A7と、エッチング等の薄膜形成に関連する各プロセスを連結した薄膜工程B1～B8を形成して、これら工程を半導体製造の全プロセスに応じて増設、連結するようにしたので、枚葉処理の一貫ラインとして構成できて従来のスタンドアロン装置を併設した生産形態と比較してリードタイムを短縮できる。

【0048】又、各プロセスを統合してクラスタ化したので、工程を短縮できると共にリードタイムの短縮にも寄与でき、さらにクリーンルームの省スペース化にも寄与できる。この省スペース化は、各プロセスのユニットが中央の搬送路1を共用して配置されていることも寄与している。

【0049】さらに、成膜工程B1～B8は真空一貫ラインを構成しているので、大気にさらされず薄膜トランジスタ液晶基板の信頼性、パーティクルの付着がなくなり、歩留まりが向上する。

【0050】又、リソグラフィ工程と薄膜工程とをクラスタ化し、これら工程を自動搬送ロボット2により連結

した製造プロセスをモジュール化したので、製造プロセスに従って増設、つまり拡張が容易にできる。つまり、マルチチャンバを導入し、空ポートを準備したり、プロセスチャンバの取り付け寸法を標準化するので、任意に交換や追加ができる。この場合、新方式のリソグラフィ工程や薄膜工程を連結する場合でも、搬送路1のインタフェースを標準化することにより容易に追加できる。

【0051】そして、リソグラフィ工程と薄膜工程との間にカセット・ステーションを設けたので、半導体ウエハを収納したカセット3に対するパuffa機能を備えることができ、システムの信頼性からくるダウンタイムを少なくできる。

【0052】ここで、上記装置の特徴をまとめると次の通りになる。

a. 設備投資額が安い…クリーンルームの面積が小さい。装置コストが安い。洗浄装置が省略できる。(プロセスの相乗効果)

b. 故障、工程変更フレキシビリティがある…真空一貫化ラインとリソグラフィ間の搬送ロボットで任意の工程に搬送できる。

【0053】c. 清浄な空間環境…人から完全に隔離されている。表面の変質防止が可能(歩留向上、特性の安定化)

d. リードタイムが短い…インラインで稼働

e. ランニングコストが安い…処理のドライ化(薬品、水)、クリーンルーム面積が少なく空調の維持費が安くなる。

【0054】f. 管理が容易…標準化により保守が容易。インラインで生産管理が容易。なお、本発明は上記一実施例に限定されるものでなくその要旨を変更しない範囲で変形してもよい。

【0055】例えば、リソグラフィ工程は、レジスト処理、露光処理、現像の一連の各プロセスに限ることではなく、プロセスに応じてレジスト処理のみとしてもよい。同様に薄膜工程もエッチング処理、レジスト剥離処理、洗浄、成膜の一連の各プロセスに限ることではなくエッチング処理、洗浄のみとしてもよい。

【0056】又、薄膜トランジスタ液晶基板の製造プロセスに限らず、他の半導体デバイス、例えば半導体メモリの製造にも適用できる。この場合、上記の如くリソグラフィ工程及び薄膜工程における一連のプロセスもその製造プロセスに従って形成される。

【0057】

【発明の効果】以上詳記したように本発明によれば、リードタイムを短縮するとともにクリーンルームの省スペース化、歩留まりの向上を図り、さらにプロセスの拡張を容易にできる半導体の製造方法及びそのシステムを提供できる。

【図面の簡単な説明】

【図1】本発明に係わる半導体製造システムをTFT液晶基板のアレイ工程の製造プロセスに適用した場合の一実施例を示す構成図。

【図2】同システムに備えられる落下方式のパuffa機能を説明するための図。

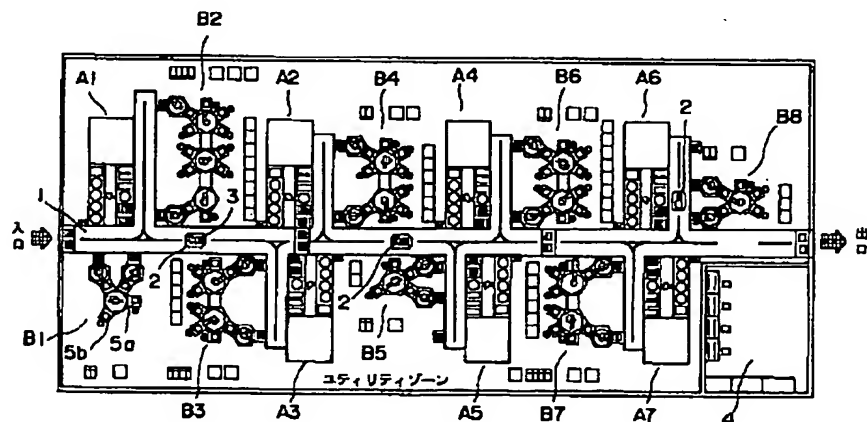
【図3】同システムに備えられるプール方式のパuffa機能を説明するための図。

【図4】半導体製造プロセスを示す図。

【符号の説明】

1…搬送路、2…自動搬送ロボット、3…カセット、4…コントロール室、A1～A7…リソグラフィ工程、B1～B8…薄膜工程。

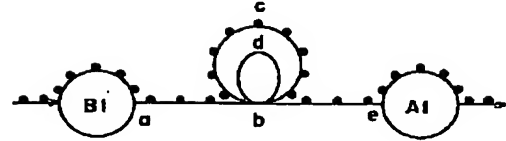
【図1】



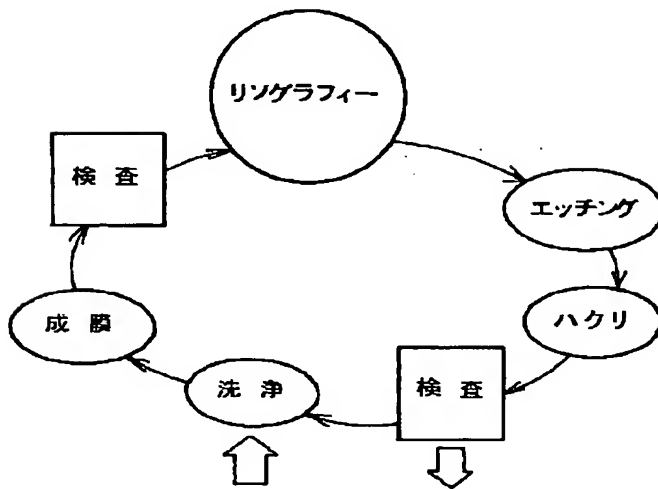
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.⁵
H 0 1 L 21/68

識別記号 庁内整理番号
A 8418-4M

F I

技術表示箇所